

CPLD

ADVENTURE

XC9536XL , XC9572XL

XC9536XLE , XC9572XLE

Manual

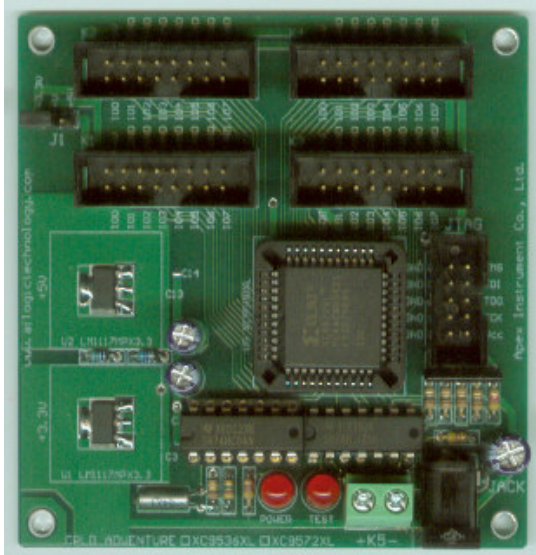
บริษัท เอเพก อินสตรูเมนต์ จำกัด

APEX INSTRUMENT CO., LTD.

77/9 ซอยลาดพร้าว 1 ถนนลาดพร้าว แขวงจอมพล เขตจตุจักร กรุงเทพมหานคร 10900 โทร.: 0-2939-2084 แฟกซ์ : 0-2939-2084

77/9 SOI LADPRAO 1, LADPRAO ROAD, JOMPOL, JATUJAK DISTRICT, BANGKOK THAILAND 10900 TEL/FAX. 66(0)2939-2084

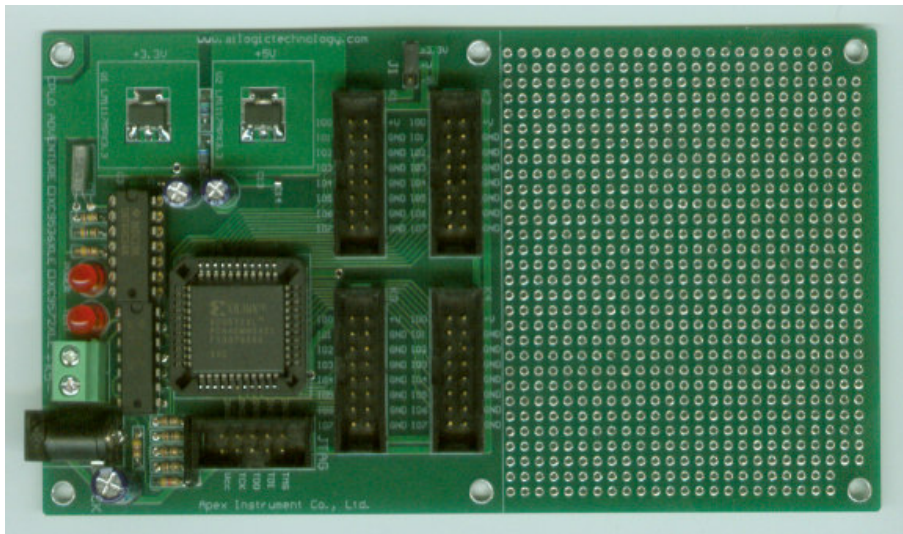
CPLD ADVENTURE XC9536XL, XC9572XL XC9536XLE, XC9572XLE Board Manual



รูปที่ 1 (a)



รูปที่ 1 (b)



รูปที่ 1 (c)

คำนำ

บอร์ดพัฒนาเอกประสงค์รุ่น CPLD ADVENTURE XC9536XL, CPLD ADVENTURE XC9572XL, CPLD ADVENTURE XC9536XLE, CPLD ADVENTURE XC9572XLE I/O รับผิดชอบแบบ 5V. และ 3.3V., Oscillator 32.768 kHz เพื่อให้เหมาะสมสำหรับออกแบบวงจรดิจิทัลและออกแบบไอซีขั้นพื้นฐาน ทำโครงการและบอร์ดระบบควบคุมในภาคอุตสาหกรรม บอร์ดพัฒนานี้สามารถใช้เป็นเครื่องโปรแกรมชิพ CPLD ได้อีกด้วย

CPLD (Complex Programmable Logic Device) หรือ FPGA (Field Programmable Gate Arrays) ในแง่ของผู้ใช้งานทั่วไปก็คือไอซีหรือชิพเอกประสงค์ที่สามารถโปรแกรมให้เป็นวงจรดิจิทัลอะไรก็ได้โดยวิธีการ

โปรแกรมแบบง่ายๆ และสามารถแก้ไขวงจรได้ด้วยการโปรแกรมซ้ำ ชิพ CPLD จะเหมาะกับการออกแบบวงจรขนาดเล็กถึงขนาดกลาง วงจรที่โปรแกรมไว้ใน CPLD จะคงอยู่แม้ไม่มีไฟเลี้ยงก็ตาม ส่วน FPGA จะเหมาะกับการออกแบบวงจรมีขนาดใหญ่มาก วงจรที่โปรแกรมไว้ใน FPGA จะสูญหายหากไม่มีไฟเลี้ยง จึงต้องใช้ไอซีเก็บข้อมูลเช่น Serial PROM เพื่อทำการโปรแกรม FPGA โดยอัตโนมัติทุกครั้งที่ยกเครื่อง

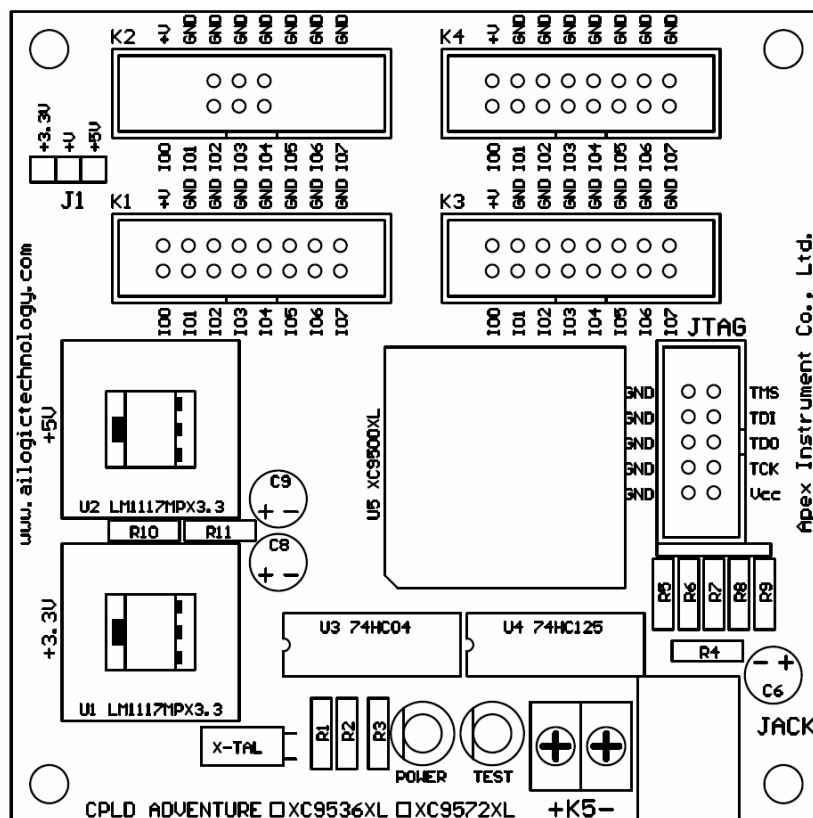
แม้ว่า CPLD และ FPGA จะมีโครงสร้างภายในที่แตกต่างกัน แต่กระบวนการในการออกแบบวงจรดิจิทัลในขั้นตอนต่าง ๆ นั้นแทบจะไม่มี ความแตกต่างกันเลย ดังนั้นคนที่เคยออกแบบวงจรดิจิทัลด้วย CPLD ได้ก็สามารถออกแบบวงจรโดยใช้ FPGA ได้เช่นกัน แต่ในกรณีของ FPGA จะมีความซับซ้อนมากกว่า

คุณสมบัติทั่วไป

- CPLD เบอร์ XC9536XL (800 เกต) หรือ XC9572XL (1600 เกต) แบบ PC 44 ขา Speed Grade -10
- LED แสดงผล "TEST" จำนวน 1 ดวง
- 32 I/O (พอร์ต K1, K2, K3 และ K4 เป็น 8 บิต I/O) ที่สามารถใช้กับ I/O 5 V. และ 3.3 V. ได้
- Onbord Oscillator 32.768 kHz

หลักการทำงานของบอร์ดเอกประสงค์

บอร์ดพัฒนาเอกประสงค์รุ่น CPLD ADVENTURE XC9536XL และ CPLD ADVENTURE XC9572XL แสดงดังรูปที่ 1 (a) ส่วนบอร์ดรุ่น CPLD ADVENTURE XC9536XLE และ CPLD ADVENTURE XC9572XLE แสดงดังรูปที่ 1 (c) ซึ่งจะเหมือนบอร์ด CPLD ADVENTURE XC9536XL และ CPLD ADVENTURE XC9572XL ทุกประการ แต่จะมีพื้นที่ PCB เอกประสงค์เพิ่มเข้ามา ตำแหน่งการจัดวางอุปกรณ์บนบอร์ดแสดงดังรูปที่ 2



รูปที่ 2 ตำแหน่งการจัดวางอุปกรณ์บนบอร์ด

บอร์ดพัฒนาเอกประสงค์ประกอบด้วยพอร์ต K1, K2, K3 และ K4 เป็น I/O ขนาด 8 บิตที่สามารถใช้กับ I/O 5 V. และ 3.3 V. ได้ มีรายละเอียดในตารางที่ 1 บนบอร์ดมี Oscillator ความถี่ 32.768 kHz เพื่อใช้เป็นฐานเวลาอำนวยความสะดวกในการออกแบบวงจร เช่น วงจรนับและวงจรตั้งเวลา รวมทั้งวงจรแก๊บบาวน์ (Bouncing) เป็นต้น และมี LED สำหรับ TEST เพื่อใช้เช็คว่าบอร์ดยังทำงานอยู่หรือไม่

จุดที่จะจ่ายไฟเลี้ยงให้บอร์ดมี 2 จุด คือ JACK (ขั้วด้านในเป็นขั้วบวก) และคอนเนกเตอร์ K5 การต่อไฟเลี้ยงเข้าบอร์ดจะต้องระมัดระวัง ต้องต่อตามขั้วที่กำหนดเพื่อไม่ให้บอร์ดได้รับความเสียหาย ไฟเลี้ยงที่จ่ายให้กับบอร์ดนั้นถ้าเลือก Pumper J1 เป็น +3.3V (จะทำให้ +V ที่ K1, K2, K3 และ K4 มีแรงดันเป็น +3.3V.) จะใช้ไฟเลี้ยง 4.5–12 V. แต่ถ้าเลือก Pumper J1 เป็น +5V (จะทำให้ +V ที่ K1, K2, K3 และ K4 มีแรงดันเป็น +5V.) จะใช้ไฟเลี้ยง 6.5–12 V. กระแสที่จ่ายออกจาก K1, K2, K3 และ K4 (ขั้ว +V) รวมกันไม่ควรเกิน 500 mA ที่ไฟเลี้ยง +5V. และรวมกันไม่ควรเกิน 150 mA ที่ไฟเลี้ยง +12V.

พอร์ตต่อสายสัญญาณไปยังบอร์ดภายนอก K1, K2, K3 และ K4 คือ IO0 – IO7 การต่อสายสัญญาณ ออกไปแนะนำให้ใช้สายแฟร์ (Flat Cable) ขนาด 16 เส้นที่มีความยาวไม่ควรเกิน 15–20 เซนติเมตร (เมื่อโปรแกรม CPLD ให้ I/O เป็นแบบ Slow Slew Rate) เพื่อลดสัญญาณรบกวนข้ามช่องที่สายสัญญาณด้วยตัวเองและลดการสะท้อนของสัญญาณในสายแฟร์ ด้านบอร์ดที่อยู่ภายนอกนั้นสายกราวด์ทุกเส้นของสายแฟร์จะต้องต่อลงกราวด์และที่ใกล้ขั้ว +V ต้องต่อ C แบบเซรามิกหรือมัลติเลเยอร์ 0.1 μ F/50V ไปด้วย และควรออกแบบ PCB เป็นแบบมีกราวด์เพลน การต่อสัญญาณ I/O แต่ละ I/O หากไม่ใช่สายแฟร์ก็ควรมีสายกราวด์ต่อออกไปด้วย โดยสายสัญญาณ I/O และสายกราวด์แต่ละคู่ควรตีเกลียวไปด้วยกันเพื่อลดค่าอินดักแตนซ์และสัญญาณรบกวนจากภายนอก

บอร์ดทดลองนี้ใช้ไอซี 74HC04 ติดตั้งบนซอกเก็ตเพื่อประกอบเป็นออสซิลเลเตอร์ (Oscillator socket) บนบอร์ดความถี่ 32.768 kHz

JTAG คอนเนกเตอร์ใช้สำหรับต่อสายดาวน์โหลด (JTAG Cable) เข้ากับพอร์ตขนาน (Printer Port) ของคอมพิวเตอร์เพื่อโปรแกรมข้อมูลวงจร (Configuration data) ลง CPLD โดยขาสัญญาณของ JTAG ทุกเส้นจะต่อผ่าน ไอซี TTL ที่เป็นบัฟเฟอร์เบอร์ 74HC125 เพื่อป้องกันสัญญาณรบกวนข้ามช่องและลดสัญญาณสะท้อนในสาย JTAG สาย JTAG จะใช้สายริบบอน (สายแฟร์) สีเทาขนาด 10 เส้นยาว 1.5 เมตร

การโปรแกรมบอร์ดทดลอง จะโปรแกรมวงจรดิจิทัลต่างๆ ลงบอร์ดโดยทำการต่อสาย JTAG และต่อสายไฟเลี้ยง 4.5–12VDC โดยการต่ออะแดปเตอร์ที่มีสายด้านในเป็นไฟบวกและด้านนอกเป็นกราวด์เข้าบอร์ดหรือต่อไฟเลี้ยงทางคอนเนกเตอร์ K5 ก็ได้ แล้วจะเห็นแอลอีดี Power ติดสว่างหลังจากนั้นจึงทำการดาวน์โหลดวงจรที่ต้องการลงสู่ชิพ CPLD ในขั้นตอนก่อนการโปรแกรมจริงจะต้องมีการกำหนดขาเป็นตามตารางที่ 1

การใช้บอร์ดทดลองเป็นเครื่องโปรแกรมชิพ CPLD

การใช้บอร์ดทดลองเป็นเครื่องโปรแกรมชิพ CPLD จะใช้ได้กับเบอร์ XC9536XL และ XC9572XL ที่มีขาแบบ PLCC 44 ขา ก่อนทำการโปรแกรมถ้าใช้ขา p5 ของ CPLD เป็นเอาต์พุตให้ถอดไอซี 74HC04 ออกจากซอกเก็ตก่อนเพื่อไม่ให้เอาต์พุตชนกับเอาต์พุตของออสซิลเลเตอร์ จากนั้นเอาชิพที่ต้องการโปรแกรมใส่เข้าไปในซอกเก็ตแบบ PLCC 44 ขา เมื่อโปรแกรมเรียบร้อยแล้วก็ถอดเอาชิพออกนำไปใช้งาน

ตารางที่ 1 แสดงตำแหน่งขาของชิพที่ต่ออยู่กับฮาร์ดแวร์ภายนอกที่อยู่บนบอร์ด

I/O ของ K1		REMARK
I/O Name	Pin No.	
IO0	p13	
IO1	p14	
IO2	p11	
IO3	p12	
IO4	P9	
IO5	P7	
IO6	P8	
IO7	p6	
I/O ของ K2		REMARK
I/O Name	Pin No.	
IO0	p4	
IO1	p2	
IO2	P3	
IO3	P44	
IO4	P1	
IO5	P42	
IO6	P43	
IO7	P40	
I/O ของ K3		REMARK
I/O Name	Pin No.	
IO0	p28	
IO1	p27	
IO2	P22	
IO3	P25	
IO4	P24	
IO5	P22	
IO6	P20	
IO7	P19	
I/O ของ K4		REMARK
I/O Name	Pin No.	
IO0	p39	
IO1	p38	
IO2	P37	
IO3	P36	
IO4	P35	
IO5	P34	
IO6	P33	
IO7	P29	

หมายเหตุ Oscillator ต่อกับขา P5 ของ CPLD และ LED “TEST” ต่อกับขา P18 ของ CPLD